

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-317091

(43)Date of publication of application : 16.11.1999

(51)Int.Cl.

G11C 29/00

(21)Application number : 10-121369

(71)Applicant : NEC CORP

(22)Date of filing :

30.04.1998

(72)Inventor : KOSHIKAWA KOJI

NOBUTOKI TOMOKO

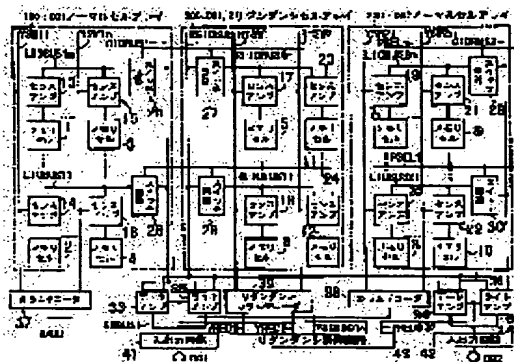
MITSUNE KOJI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the relief probability of a defective memory cell.

SOLUTION: A DQ1 normal cell array 100 and a DQ2 normal cell array 200, against which a reading or a writing is conducted through independent buses, are replaced by same DQ1, DQ2 redundant cell array 300. By the above, a redundancy control circuit 43 propagates global input output bus GIOBUS1 data and GIOBUS2 data to read write buses RWBUS1 and RWBUS2 in a first cycle, respectively. Similarly, in a second cycle, redundancy global input output buses RGIOBUS1 data and global input output bus GIOBUS2 data are propagated. In a third cycle, the data of the global input output buses GIOBUS1 and GIOBUS2 are propagated. Finally, in a fourth cycle, the redundancy global input output bus RGIOBUS1 data and the global bus input output bus GIOBUS2 data are propagated.



LEGAL STATUS

[Date of request for examination] 30.04.1998

[Date of sending the examiner's decision of rejection] 29.05.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-317091

(43) 公開日 平成11年(1999)11月16日

(51) Int.Cl.⁸

G11C 29/00

識別記号

603

F I

G11C 29/00

603 F

審査請求 有 請求項の数3 O L (全 9 頁)

(21) 出願番号 特願平10-121369

(22) 出願日 平成10年(1998)4月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 越川 康二

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 延時 知子

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 三根 浩二

東京都港区芝五丁目7番1号 日本電気株式会社内

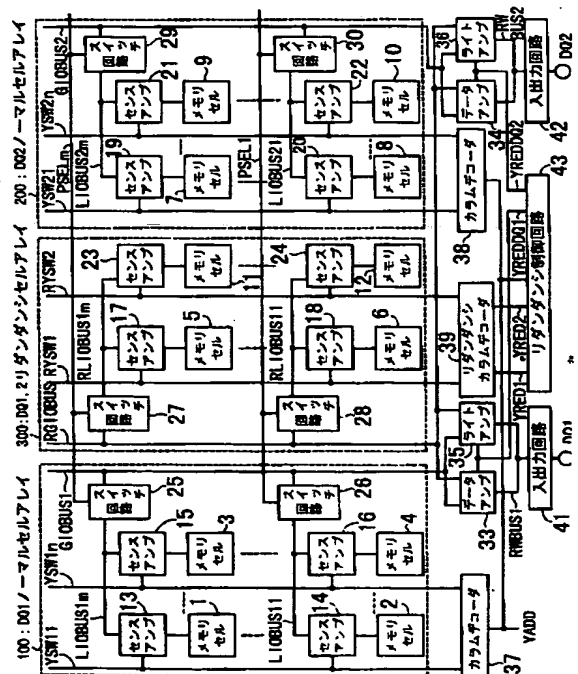
(74) 代理人 弁理士 高橋 昭男 (外3名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 不良メモリセルの救済確率を向上させる。

【解決手段】 別々のバスを通して読み出したまたは書き込みされるDQ1ノーマルセルアレイ100およびDQ2ノーマルセルアレイ200に対して、同じDQ1、DQ2リダンダンシセルアレイ300に置き換える。これにより、リダンダンシ制御回路43は、それぞれ、第1のサイクルでは、グローバル入出力バスGIOBUS1、GIOBUS2のデータを、第2のサイクルでは、リダンダンシグローバル入出力バスRGIOBUS1、グローバル入出力バスGIOBUS2のデータを、第3のサイクルでは、グローバル入出力バスGIOBUS1、GIOBUS2のデータを、第4のサイクルでは、リダンダンシグローバル入出力バスRGIOBUS1、グローバル入出力バスGIOBUS2のデータを、リードライトバスRWBUS1、RWBUS2に伝搬させる。



【特許請求の範囲】

【請求項1】 第一のメモリセル群と、

第二のメモリセル群と、

前記第一のメモリセル群及び第二のメモリセル群に対して共通して用いられるリダンダンシメモリセルと、

前記第一のメモリセル群及び第二のメモリセル群に対する読み出しまたは書き込み経路の一部である第一の区間を各々異なるバスにより伝搬させる制御手段と、

前記第一のメモリセル群または前記第二のメモリセル群と前記リダンダンシメモリセルで読み出しまたは書き込み経路の一部である第二の区間を共通のバスにより伝搬させる制御手段とを具備することを特徴とする半導体記憶装置。

【請求項2】 前記第一のメモリセル群及び前記第二のメモリセル群は、各々異なる入出力端子毎に設けられ、前記リダンダンシメモリセルが前記第一のメモリセル群から置換された際は、前記第二の区間で第一のメモリセル群と共通のバスにより伝搬させるよう制御され、前記リダンダンシメモリセルが前記第二のメモリセル群から置換された際は、前記第二の区間で第二のメモリセル群と共通のバスにより伝搬させるよう制御されることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記第一のメモリセル群及び前記第二のメモリセル群は、同一の入出力端子毎に設けられ、前記リダンダンシメモリセルが前記第一のメモリセル群から置換された際は、前記第二の区間で第一のメモリセル群と共通のバスにより伝搬させるよう制御され、前記リダンダンシメモリセルが前記第二のメモリセル群から置換された際は、前記第二の区間で第二のメモリセル群と共通のバスにより伝搬させるよう制御されることを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のメモリセルからなり、該メモリセルの不良セルをリダンダンシメモリに置き換える半導体記憶装置に関する。

【0002】

【従来の技術】半導体のプロセスが微細化し、不良メモリセルをリダンダンシメモリセルに置き換えなければならない機会が増えてきている。しかしながら、リダンダンシメモリセルを増やすと、チップ面積が増加してしまうので、リダンダンシメモリセルへの置き換え方法を工夫し、効率を向上させることが重要となってきている。従来技術では、別々のバスを通して読み出しまたは書き込みされるメモリセルには、各々、別々のリダンダンシメモリセルが割り当てられていた。

【0003】図5は、従来技術による半導体記憶装置の構成を示すブロック図である。図において、半導体装置は、DQ1ノーマルセルアレイ100、DQ2ノーマルセルアレイ200、DQ1リダンダンシセルアレイ11

0、DQ2リダンダンシセルアレイ210、入出力回路41、データアンプ33、ライトアンプ35、カラムデコーダ37、入出力回路42、データアンプ34、ライトアンプ36、リダンダンシカラムデコーダ40、カラムデコーダ38、リダンダンシ制御回路43から構成されている。従来技術による半導体記憶装置では、1つのノーマルセルアレイに対して、1つのリダンダンシセルアレイが設けられていた。

【0004】また、図6は、従来技術による半導体記憶装置の動作を説明するためのタイミングチャートである。第1～第4サイクルにおいて、生成されたカラムアドレスYADDに応じてカラムスイッチYSW11～nおよびカラムスイッチYSW21～nが変化し、それぞれのサイクルで、DQ1ノーマルセルアレイ100およびDQ2ノーマルセルアレイ200に、それぞれ入力される複数のカラムスイッチのうち、それぞれ一本が活性化される。そして、活性化されたカラムスイッチに接続されたセンスアンプ内で、予め設定されたデータに応じて接続されるローカル入出力バスにデータが伝搬される。

【0005】第2サイクルで生成されたカラムアドレスYADDは、DQ1の第一のリダンダンシカラムアドレスであるので、DQ1カラムリダンダンシ選択信号YREDDQ1が活性化レベル(H)となる。また、第4サイクルで生成されたカラムアドレスYADDは、DQ1の第二のリダンダンシカラムアドレスであるので、DQ2カラムリダンダンシ選択信号YREDDQ2が活性化レベル(H)となっている。

【0006】よって、第2サイクルでは、DQ1カラムリダンダンシ選択信号YREDDQ1にตอบสนองしてリダンダンシカラムスイッチRYSW1が選択され、これに接続するセンスアンプ内で予め設定されたデータに応じて接続されるローカル入出力バスにデータが伝搬される。また、第4サイクルでは、DQ2カラムリダンダンシ選択信号YREDDQ2にตอบสนองしてリダンダンシカラムスイッチRYSW2が選択され、これに接続するセンスアンプ内で予め設定されたデータに応じて接続されるローカル入出力バスにデータが伝搬する。

【0007】よって、リードライトバスRWBUS1、RWBUS2には、それぞれ、第1のサイクルでは、グローバル入出力バスGIOBUS1、GIOBUS2のデータが、第2のサイクルでは、リダンダンシグローバル入出力バスRGIOBUS1、グローバル入出力バスGIOBUS2のデータが、第3のサイクルでは、グローバル入出力バスGIOBUS1、GIOBUS2のデータが、第4のサイクルでは、グローバル入出力バスRGIOBUS1、リダンダンシグローバル入出力バスRGIOBUS2のデータが伝搬する。

【0008】

【発明が解決しようとする課題】ところで、従来技術で

【0017】カラムデコード37は、カラムアドレス信号YADDを入力し、複数(n本)のカラムスイッチYSW11~nを出力する。入出力回路42は、外部入出力端子DQ2、リードライトバスRWBUS2に接続する。データアンプ34は、グローバル入出力バスGIOBUS2、リダンダンシグローバル入出力バスRGIOBUS2、DQ2カラムリダンダンシ選択信号YREDDQ2を入力し、リードライトバスRWBUS2にデータを出力する。ライトアンプ36は、リードライトバスRWBUS2、リダンダンシグローバル入出力バスRGIOBUS2、DQ2カラムリダンダンシ選択信号YREDDQ2を入力し、グローバル入出力バスGIOBUS2にデータを出力する。

S2にデータを出力する。

【0018】カラムデコード38は、カラムアドレス信号YADDを入力し、複数(n本)のカラムスイッチYSW21～nを出力する。リダグンシカラムデコード39は、第一カラムリダグンシ選択信号YRED1、第二カラムリダグンシ選択信号YRED2を入力し、2本のリダグンシカラムスイッチRYSW1、RYSW2を出力する。リダグンシ制御回路43は、カラムアドレス信号YADDを入力し、第一カラムリダグンシ選択信号YRED1、第二カラムリダグンシ選択信号YRED2、DQ1カラムリダグンシ選択信号YREDDQ1、DQ2カラムリダグンシ選択信号YREDDQ2を出力する。

【0019】次に、DQ1ノーマルセルアレイ100について説明する。センスアンプ13は、カラムスイッチYSW11、ローカル入出力バスLIOBUS1m、メモリセル群1に接続されている。センスアンプ14は、カラムスイッチYSW11、ローカル入出力バスLIOBUS11、メモリセル群2に接続されている。センスアンプ15は、カラムスイッチYSW1n、ローカル入出力バスLIOBUS1n、メモリセル群3に接続されている。センスアンプ15は、カラムスイッチYSW1n、ローカル入出力バスLIOBUS11、メモリセル群4に接続されている。スイッチ回路25は、プレート選択信号PSELm、ローカル入出力バスLIOBUS1m、グローバル入出力バスGIOBUS1に接続されている。スイッチ回路26は、プレート選択信号PSEL1、ローカル入出力バスLIOBUS11、グローバル入出力バスGIOBUS1にそれぞれ接続されている。

【0020】次に、DQ2ノーマルセルアレイ200について説明する。センスアンプ19は、カラムスイッチYSW21、ローカル入出力バスLIOBUS2m、メモリセル群7に接続されている。センスアンプ20は、カラムスイッチYSW21、ローカル入出力バスLIOBUS21、メモリセル群8に接続されている。センスアンプ21は、カラムスイッチYSW2n、ローカル入出力バスLIOBUS2m、メモリセル群9に、センスアンプ22は、カラムスイッチYSW2n、ローカル入出力バスLIOBUS21、メモリセル群10に接続されている。スイッチ回路29は、プレート選択信号PSELm、ローカル入出力バスLIOBUS2m、グローバル入出力バスGIOBUS2に接続されている。スイッチ回路30は、プレート選択信号PSEL1、ローカル入出力バスLIOBUS21、グローバル入出力バスGIOBUS2に接続されている。

【0021】次に、DQ1、2リダグンシセルアレイ300について説明する。センスアンプ17は、リダグンシカラムスイッチRYSW1、リダグンシローカル入出力バスLIOBUSm、メモリセル群5に接続さ

れている。センスアンプ18は、リダグンシカラムスイッチRYSW1、リダグンシローカル入出力バスLIOBUS1、メモリセル群6に接続されている。センスアンプ23は、リダグンシカラムスイッチRYSW2、リダグンシローカル入出力バスLIOBUSm、メモリセル群11に接続されている。センスアンプ24は、リダグンシカラムスイッチRYSW2、リダグンシローカル入出力バスLIOBUS1、メモリセル群12に接続されている。

【0022】次に、図2は、上述したリダグンシ制御回路43の一構成例を示すブロック回路図である。リダグンシ制御回路43は、図2に示すように、カラムアドレス信号YADDを入力する複数のリダグンシアドレスROM43A、43Bと、カラムアドレス信号YADDを入力する複数のリダグンシDQROM43C、43Dと、複数の論理ゲートG1～G6で構成されている。

【0023】AND論理ゲートG1は、リダグンシアドレスROM43Aの出力YRED1およびリダグンシDQROM43Cの出力の論理積をとる。AND論理ゲートG2は、リダグンシアドレスROM43Bの出力YRED2およびリダグンシDQROM43Dの出力の論理積をとる。AND論理ゲートG3は、リダグンシアドレスROM43Aの出力YRED1およびリダグンシDQROM43Cの出力の逆極性との論理積をとる。AND論理ゲートG4は、リダグンシアドレスROM43Bの出力YRED2およびリダグンシDQROM43Dの出力の逆極性の論理積をとる。OR論理ゲートG5は、AND論理ゲートG1およびAND論理ゲートG2との論理和をとり、OR論理ゲートG6は、AND論理ゲートG3およびAND論理ゲートG4の論理和をとる。OR論理ゲートG5、G6の出力がそれぞれYREDDQ1、YREDDQ2となって出力される。

【0024】B. 実施形態の動作

次に、図3に示すタイミングチャートを参照して本実施形態の全体の動作について詳細に説明する。外部クロックに同期して動作する同期型半導体記憶装置の場合、例えば読み出しモードに設定されると、外部クロックの立ち上がりエッジに同期して内部でカラムアドレスYADDが生成される。図3の例では、連続して4サイクルでカラムアドレスYADDが生成され、このうち第2サイクルで生成されたカラムアドレスYADDは、DQ1の第一のリダグンシカラムアドレス、第4サイクルで生成されたカラムアドレスYADDは、DQ1の第二のリダグンシカラムアドレスである場合を想定している。

【0025】第1～第4サイクルにおいて、生成されたカラムアドレスYADDに応じてカラムスイッチYSW11～nおよびカラムスイッチYSW21～nが変化し、それぞれのサイクルで、DQ1ノーマルセルアレイ

100およびDQ2ノーマルセルアレイ200に、それぞれ入力される複数のカラムスイッチのうち、それぞれ一本が活性化される。そして、活性化されたカラムスイッチに接続されたセンスアンプ内で、予め設定されたデータに応じて接続されるローカル入出力バスにデータが伝搬される。

【0026】図示しないが、別途入力されているロウアドレスに応じて複数のプレート選択信号PSEL1~mのうち1本が活性化されているので、DQ1ノーマルセルアレイ100およびDQ2ノーマルセルアレイ200のそれぞれの複数のスイッチ回路のうち、それぞれ1つが活性化され、活性化されたスイッチ回路に接続するローカル入出力バスのデータがそれぞれグローバル入出力バスLGIOBUS1、LGIOBUS2に伝搬する。

【0027】第2サイクルで生成されたカラムアドレスYADDは、DQ1の第一のリダンダンシカラムアドレスであるので、DQ1カラムリダンダンシ選択信号YREDDQ1が活性化レベル(H)、第一カラムリダンダンシ選択信号YRED1が活性化レベル(H)となる。また、第4サイクルで生成されたカラムアドレスYADは、DQ1の第二のリダンダンシカラムアドレスであるので、DQ1カラムリダンダンシ選択信号YREDDQ1が活性化レベル(H)、第二カラムリダンダンシ選択信号YRED1が活性化レベル(H)となっている。

【0028】よって、第2サイクルでは、第一カラムリダンダンシ選択信号YRED1にตอบสนองしてリダンダンシカラムスイッチRYSW1が選択され、これに接続するセンスアンプ内で予め設定されたデータに応じて接続されるローカル入出力バスにデータが伝搬される。さらに、複数のプレート選択信号PSEL1~mのうち1本が活性化されているので、活性化されたスイッチ回路に接続するリダンダンシローカル入出力バスのデータがリダンダンシグローバル入出力バスRLGIOBUS1に伝搬する。

【0029】また、第4サイクルでは、第二カラムリダンダンシ選択信号YRED2にตอบสนองしてリダンダンシカラムスイッチRYSW2が選択され、これに接続するセンスアンプ内で予め設定されたデータに応じて接続されるローカル入出力バスにデータが伝搬する。さらに、活性化されたスイッチ回路に接続するリダンダンシローカル入出力バスのデータがリダンダンシグローバル入出力バスRLGIOBUS1に伝搬する。

【0030】なお、データアンプ33、ライトアンプ35では、DQ1カラムリダンダンシ選択信号YREDDQ1が活性化されていれば、グローバル入出力バスGIOBUS1とのデータ接続を切り、DQ1カラムリダンダンシ選択信号YREDDQ1が非活性であれば、リダンダンシグローバル入出力バスRGIOBUS1とのデータ接続を切るよう制御されている。また、データアンプ34、ライトアンプ36では、DQ2カラムリダンダ

ンシ選択信号YREDDQ2が活性化されていれば、グローバル入出力バスGIOBUS2とのデータ接続を切り、DQ2カラムリダンダンシ選択信号YREDDQ2が非活性であれば、リダンダンシグローバル入出力バスRGIOBUS1とのデータ接続を切るよう制御されている。

【0031】よって、リードライトバスRWBUS1、RWBUS2には、それぞれ、第1のサイクルでは、グローバル入出力バスGIOBUS1、GIOBUS2のデータが、第2のサイクルでは、リダンダンシグローバル入出力バスRGIOBUS1、グローバル入出力バスGIOBUS2のデータが、第3のサイクルでは、グローバル入出力バスGIOBUS1、GIOBUS2のデータが、第4のサイクルでは、リダンダンシグローバル入出力バスRGIOBUS1、グローバル入出力バスGIOBUS2のデータが伝搬する。

【0032】C. 他の実施形態

次に、本発明の他の実施形態について説明する。図4は、発明の他の実施形態による半導体記憶装置の構成を示すブロック図である。なお、図において、図1に対応する部分には同一の符号を付けて説明を省略する。本他の実施形態では、図1でのDQ1ノーマルセルアレイ100に代わって第一ノーマルセルアレイ100'、DQ2ノーマルセルアレイ200に代わって第二ノーマルセルアレイ200'、300、DQ1、2リダンダンシセルアレイ300に代わってリダンダンシセルアレイ300'で構成されている。また、入出力回路42、リードライトバスRWBUS2はなく、データアンプ34、ライトアンプ40は、リードライトバスRWBUS1を介して入出力回路41に接続されている。

【0033】図1の実施形態では、異なるDQで共通のリダンダンシセルアレイを用いるのに対して、本実施形態では、同一のDQで異なるデータアンプ、ライトアンプに接続される第一ノーマルセルアレイ、第二ノーマルセルアレイ200'で共通のリダンダンシセルアレイを用いる場合を示している。図1の実施形態同様に、通常は、異なるローカル入出力バスおよびグローバル入出力バスでデータ伝達されているが、リダンダンシ置換後は、共通のリダンダンシローカル入出力バスおよびリダンダンシグローバル入出力バスを通してデータ伝達される。

【0034】D. 実施形態の効果

次に、上述した実施形態の効果について詳細に説明する。カラムのアドレス空間がY=0~255で、DQが2つ、つまり、カラムスイッチがDQ1、DQ2にそれぞれ256本ずつ、そして、全体でリダンダンシが4スベアー分用意されている場合を考える。

【0035】従来技術では、DQ1用に2スベアー、DQ2用に2スベアーを割り当てていた。この時、全体での不良が1ラインである時に救済される確率Q1、不良

が2ラインである時に救済される確率Q2は、それぞれ言うまでもなく100%であるが、不良が3ラインである時に救済されるためには、不良が1ラインと2ラインとでDQ1もしくはDQ2に振り分けられなければならない。よって、救済される確率Q3は、
 $Q3 = 1 - 3C1 \times 100 = 75 (\%)$
 となる。

【0036】同じく不良が4ラインである時に救済される確率Q4は、

$$Q4 = 1 - 24 \times 4C2 \times 100 = 37.5 (\%)$$

となる。そして、言うまでもなく不良が5ライン以上である時に救済される確率は0%である。

【0037】一方、本発明では、DQ1、DQ2の何れにも使えるスペアが4スペアとなるので、全体での不良が1ラインである時に救済される確率R1は、言うまでもなく100%であるが、不良が2ラインの時に救済される確率R2は、この2ラインが1ラインづつDQ1、DQ2の不良で、しかもアドレスが同じである場合に不良になってしまうことを考慮しなければならない。なぜならば、DQ1、DQ2を併せてリダンダンシグローバル入出力バスは、1つしか用意されないため、DQ1とDQ2とで同時にアクセスされるとデータが衝突してしまうからである。

【0038】よって確率R2は、

$$R2 = 1 - 1 \div 511 \times 100 = 99.998 (\%)$$

となり、不良が3ライン、4ラインである時に救済される確率R3、R4は、それぞれ、

$$R3 = 1 - 1 \div 511 \times 2C1 \times 3C1 \times 100 = 98.826 (\%)$$

$$R4 = 1 - 1 \div 511 \times 3C1 \times 4C1 \times 100 = 97.652 (\%)$$

となる。そして、言うまでもなく不良が5ライン以上である時に救済される確率は0%である。

【0039】以上より、不良が3ライン、4ラインの時に救済される確率は、従来に比べて大幅に向上している。なお、不良が2ラインの時には、救済される確率は、従来より極わずかに低下するが、3ライン、4ラインの時の向上が大きいため、トータルでは大きな効果が

期待できる。

【0040】

【発明の効果】以上説明したように、本発明によれば、別々のバスを通して読み出したり書き込みされるメモリセルに対して、共通のリダンダンシメモリセルを設け、該リダンダンシメモリに対する、読み出したり書き込みのバスを共通にしたので、リダンダンシメモリへの置換効率が向上するため、不良メモリセルの救済確率を向上させることができるという利点が得られる。

【図面の簡単な説明】

【図1】 本発明の実施形態による半導体記憶装置の構成を示すブロック図である。

【図2】 リダンダンシ制御回路43の一構成例を示すブロック回路図である。

【図3】 半導体記憶装置の動作を説明するためのタイミングチャートである。

【図4】 本発明の他の実施形態による半導体記憶装置の構成を示すブロック図である。

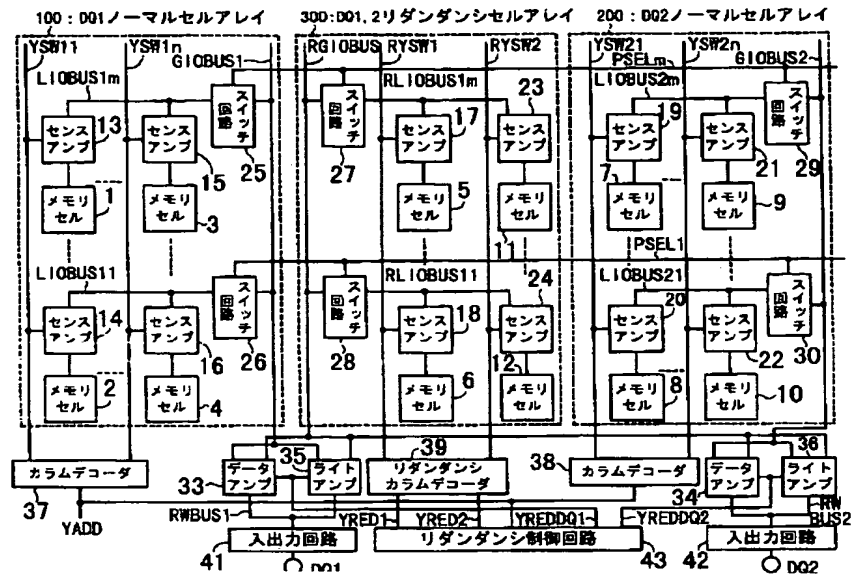
【図5】 従来技術による半導体記憶装置の構成を示すブロック図である。

【図6】 従来技術による半導体記憶装置の動作を説明するためのタイミングチャートである。

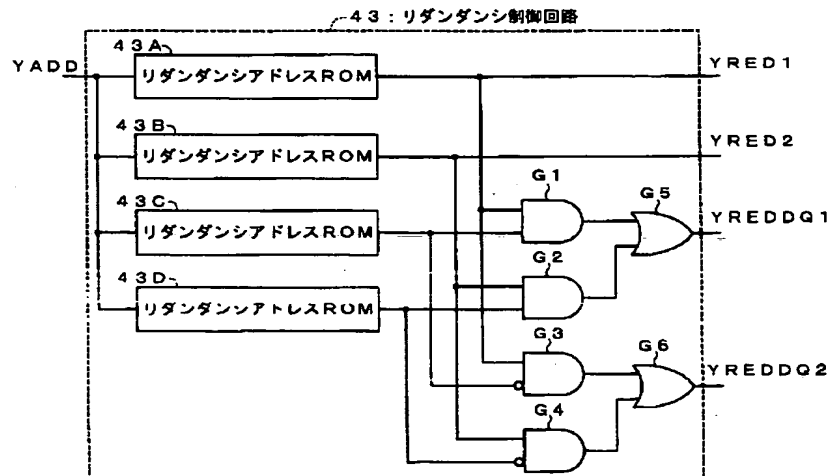
【符号の説明】

- 100 DQ1ノーマルセルアレイ (メモリセル)
- 200 DQ2ノーマルセルアレイ (メモリセル)
- 300 DQ1、2リダンダンシセルアレイ (リダンダンシメモリセル)
- 33 データアンプ (制御手段)
- 34 データアンプ (制御手段)
- 35 ライトアンプ (制御手段)
- 36 ライトアンプ (制御手段)
- 37 カラムデコード (制御手段)
- 38 カラムデコード (制御手段)
- 39 リダンダンシカラムデコード
- 41 入出力回路 (制御手段)
- 42 入出力回路 (制御手段)
- 43 リダンダンシ制御回路

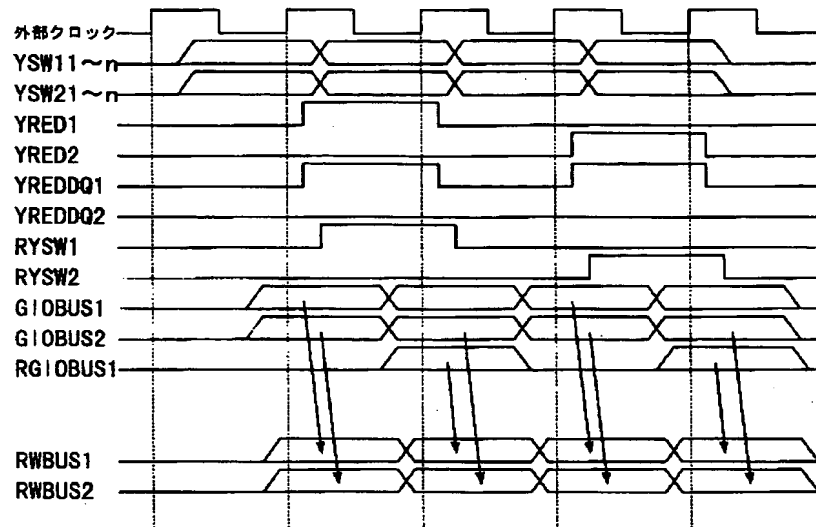
【図1】



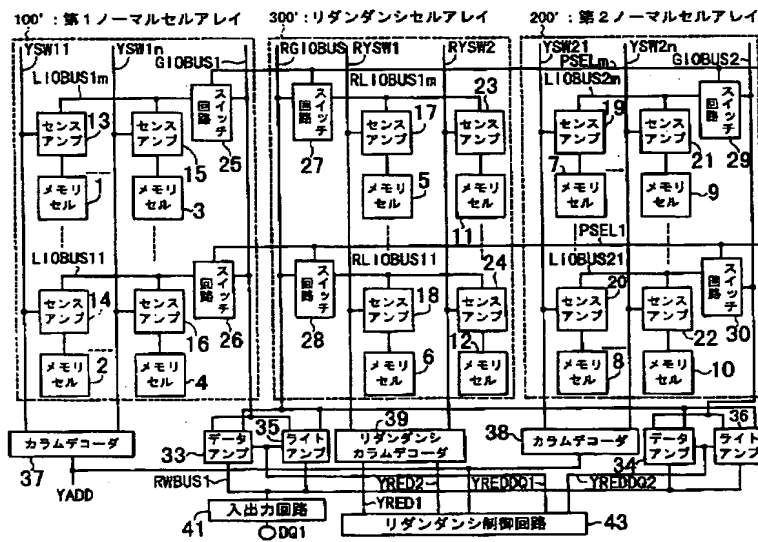
【図2】



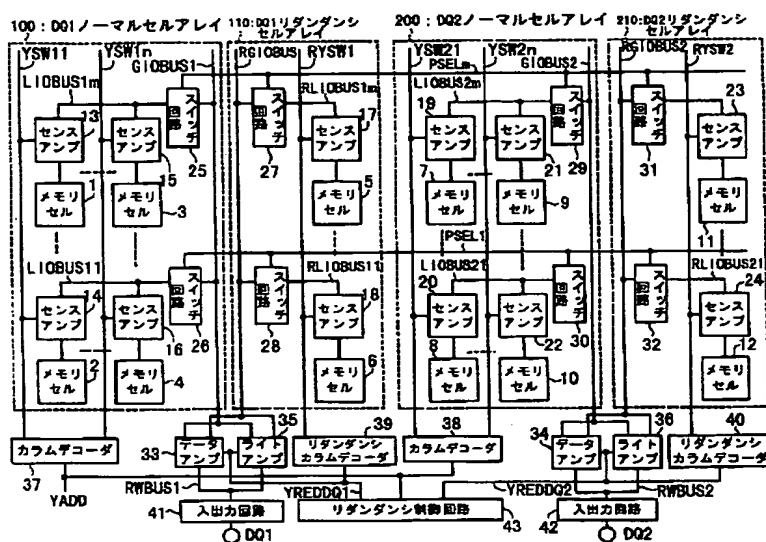
【図3】



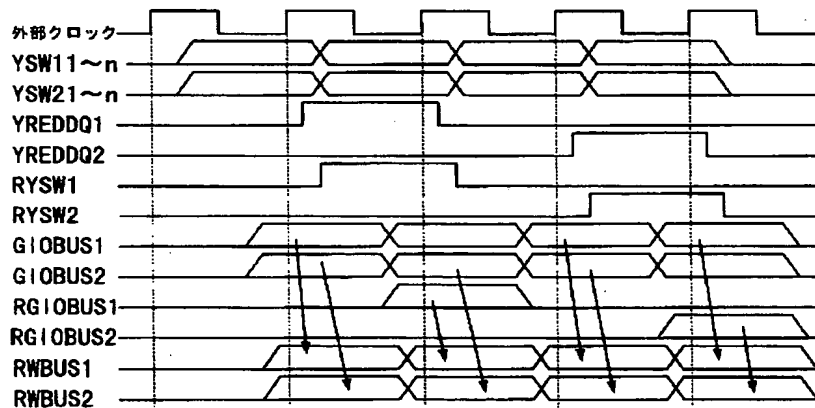
【図4】



【図5】



【図6】



THIS PAGE BLANK (USPTO)